

PROJECTO DE UM CIRCUITO INTEGRADO EM TECNOLOGIA NMOS:
INTERFACE DE DADOS PARA SISTEMA DE MULTIPLEXAGEM PRIMÁRIA MIC

Mário J.A. Lança, Horácio C.C. Neto, António M.B. Leal,
Luís M.S. Vidigal, Carlos B.T. Almeida e Pedro M.B. Veiga

INESC/CEAUTL/IST

SUMÁRIO

Neste texto descreve-se o projecto de um circuito integrado destinado a substituir a placa de interface para junção de 64Kbit/s de um sistema de multiplexagem primária MIC de 30 canais. O circuito inclui as partes de emissão e recepção da interface e vai ser fabricado em tecnologia nMOS de 4.5 microns. Ao contrário da opção tomada num projecto anterior da parte de emissão do mesmo circuito, enveredou-se neste caso por uma solução baseada em PLAs por forma a favorecer a regularidade do projecto.

1. INTRODUÇÃO

É objectivo desta comunicação descrever, em linhas gerais, o projecto de uma interface de dados para um sistema de multiplexagem primária MIC (modulação de impulsos codificados) de 30 canais, destinado a integração em tecnologia nMOS. O circuito destina-se a substituir a placa de junção de 64Kbit/s desenvolvida pelo Centro de Estudos e Telecomunicações dos CTT (Aveiro) com base em blocos lógicos SSI e MSI da família TTL [1]. Este projecto constituiu a segunda experiência levada a cabo neste domínio pelo grupo de investigação em CAD/VLSI do INESC/CEAUTL/IST. O primeiro projecto realizado incidiu apenas sobre a parte de emissão da mesma interface [2]. O primeiro protótipo, fabricado em França, evidenciou um funcionamento muito satisfatório apenas afectado pela existência de dois pequenos erros (um lógico e outro de implantação) de incidência muito localizada.

O projecto que é objecto desta comunicação consta de três circuitos (quase) independentes:

- 1- Versão corrigida do projecto inicial.
- 2- Nova versão da parte de emissão com o contador dinâmico implementado com base num agregado lógico programável.
- 3- Projecto da parte de recepção da interface.

Procura-se, nesta contribuição, dar uma ideia das opções de projecto que houve de realizar tendo em vista a sua integração sob forma monolítica. Ao contrário da opção tomada no primeiro projecto, decidiu-se no caso presente favorecer a regularidade do projecto enveredando por uma solução baseada

em PLAs. Em comparação com a solução anterior que recorria a lógica aleatória e dinâmica, verifica-se um ligeiro (inferior a 5%) aumento na área de silício ocupada e prevê-se uma diminuição na frequência máxima de relógio utilizável (de qualquer modo acima dos 2.048MHz requeridos pelas normas CCITT). Os primeiros protótipos recebidos de França não puderam ser testados devido a um lapso de tradução dos dados enviados que redundou na omissão de algumas das figuras no desenho final das máscaras.

2. JUNÇÃO DE DADOS DE 64Kbit/s

De acordo com as normas G.703 e G.732 do CCITT, as junções para transmissão de octetos através de um equipamento de multiplexagem MIC devem transmitir ou receber do equipamento terminal que servem três tipos de sinal:

- sinal de informação (dados) ao ritmo de 64Kbit/s,
- sinal de relógio de 64KHz,
- sinal de ritmo de octeto (8KHz).

Estes sinais são associados por forma a possibilitar a sua transmissão (em cada um dos sentidos) através de um único par ou, quando muito, de dois pares simétricos. O modo como é realizada a combinação dos sinais e o(s) sentido(s) em que são transmitidos os sinais de relógio (tomando como referência o sentido de transmissão dos dados) distinguem dois tipos possíveis de junção:

1- Junção co-direccional:

É utilizado, em cada um dos sentidos, um único par simétrico para transmissão de um sinal composto contendo a informação (dados) e os dois sinais de relógio (64 e 8KHz). Os bits de sinal são codificados sob a forma de blocos de 4 bits (1010 e 1100 para o "0" e "1" binários, respectivamente) e transmitidos com polaridade alternada. A regra de alternância de polaridade é infringida de 8 em 8 blocos para assinalar o fim de palavra (fig. 1b).

2- Junção contra-direccional:

Os sinais de relógio que marcam o ritmo de transmissão da informação são gerados sempre do lado do equipamento MIC e transmitidos através de um segundo par simétrico (fig. 1d). A informação necessária para a sincronização da palavra é sobreposta ao relógio de 64KHz

através da violação da regra de alternância de polaridade de 8 em 8 ciclos do sinal de relógio. Os sinais de dados são codificados sob forma ternária (fig.1c) com alternância de polaridade por cada "1" binário transmitido.

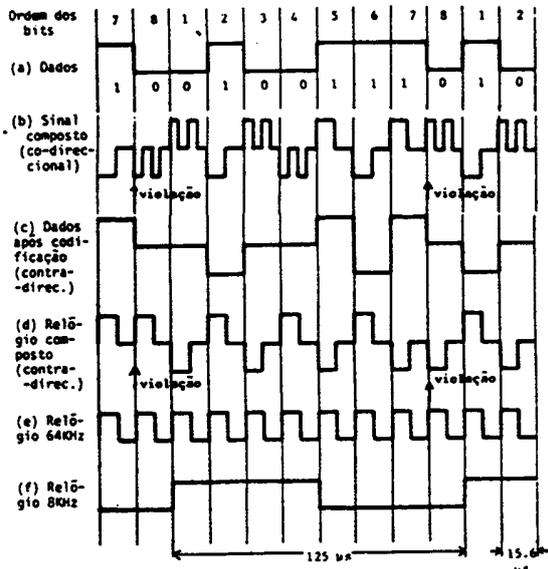


Fig.1. Sinais transmitidos (ou recebidos) pelas junções.

3. CIRCUITO DE EMISSÃO

O funcionamento genérico desta parte do circuito e a constituição dos blocos correspondentes à sua implementação em tecnologia nMOS estão descritos em pormenor numa publicação anterior [2]. Os sinais de entrada principais do circuito (fig.2) são:

- sinal de relógio de 2.048MHz (CK).
- sinal de dados recebidos do equipamento MIC ao ritmo de 2.048MHz (Din).
- sinal de validação do canal seleccionado (STB).

Como entradas acessórias, existem ainda duas fases não sobrepostas do relógio de 2.048MHz geradas externamente ao circuito, a entrada constante ("0" ou "1") que selecciona quais as fases de relógio a ser utilizadas (entre as geradas externamente e as geradas internamente a partir do sinal CK) e a entrada que faz a selecção do tipo de junção (co- ou contra-direcciona).

Os módulos principais do circuito são:

- Gerador dos sinais de temporização: gera as fases do relógio de 64KHz (Teta1 e Teta2), os sinais para codificação dos 4 subintervalos em que é dividido o período elementar de relógio de 64KHz (P0 e P1) e o sinal de 8KHz utilizado para definir o ritmo do octeto (V).
- Registo de deslocamento duplo (SR1 e SR2): os dados de entrada, Din, são permanentemente lidos e deslocados em SR1 (ao ritmo de 2.048MHz) e, simultaneamente, transferidos em paralelo para SR2 (enquanto o sinal STB estiver presente). No final da presença de STB, SR2 vai

conter o octeto proveniente do canal seleccionado. Esta palavra será agora deslocada para a saída ao ritmo imposto pelo relógio Teta (64KHz).

- Bloco de lógica combinatória onde é realizada a codificação dos dados de saída de SR2 de acordo com o tipo de junção.
- Dois flip-flops tipo T que geram os sinais necessários para impôr a alternância de polaridade no código de saída.

Na versão descrita em [2], e re-ensaiada neste novo projecto (com as devidas correcções), os sinais de temporização eram gerados num conjunto de três divisores de frequência (por 8, 4 e 8, respectivamente) que utilizavam lógica dinâmica e algumas células de lógica combinatória. Na nova versão ensaiada neste segundo projecto, é utilizado um agregado lógico programável para implementar uma máquina de estados (autómato de Mealy) que gera os sinais necessários à temporização das restantes partes do sistema (Teta1 e Teta2, P0, P1 e V). A constituição dos outros módulos do circuito não foi alterada.

Agregado Lógico Programável

A máquina de estados a implementar corresponde aos 3 contadores Johnson utilizados na primeira versão, exigindo, portanto, um mínimo de 8 variáveis de estado para codificar os 256 estados requeridos para o ciclo completo. A codificação das variáveis foi escolhida de modo a reduzir a dimensão da PLA através da minimização do número de termos mínimos. Esta codificação permitiu, além do mais, manter a individualização de cada um dos três sub-blocos iniciais. Assim, as variáveis A2, A1 e A0 correspondem ao primeiro contador (8 estados), as variáveis A4 e A3 codificam os 4 estados do segundo contador e as variáveis A7, A6 e A5 correspondem ao terceiro contador (8 estados). Para simplificar a lógica utilizada e diminuir a área da PLA optou-se pela utilização de 4 variáveis auxiliares (X, Y, Z e W), geradas pela própria PLA.

A implementação final da máquina de estados foi conseguida com base numa PLA de 13 entradas (a entrada exterior de inicialização, STB, as 8 variáveis de estado, A7 a A0, e as 4 variáveis auxiliares), 18 produtos intermédios e 14 saídas (as 8 variáveis de estado, as 4 variáveis auxiliares e 2 saídas extra, S1 e S2).

Os sinais de temporização para o sistema são conseguidos a partir das saídas da PLA recorrendo a blocos simples de lógica aleatória:

- fases do relógio de 64KHz:
Teta1=S1.Fi1 e Teta2=S2.Fi2
- sinal utilizado para definir o ritmo do octeto (sinal a "0" apenas durante a duração do sétimo bit): $V=C6=(A5.A6.A7)$
- sinais para codificação dos 4 sub-intervalos em que é dividido o período elementar correspondente a 64KHz:
P0=A3 (com super-buffer inversor) e
P1=A4 (com super-buffer não inversor)

A utilização da PLA teve como consequência um ligeiro aumento (não significativo) da área ocupada. A grande vantagem da sua utilização é a redução do tempo de desenvolvimento que se pode conseguir graças ao uso de métodos automáticos de projecto.

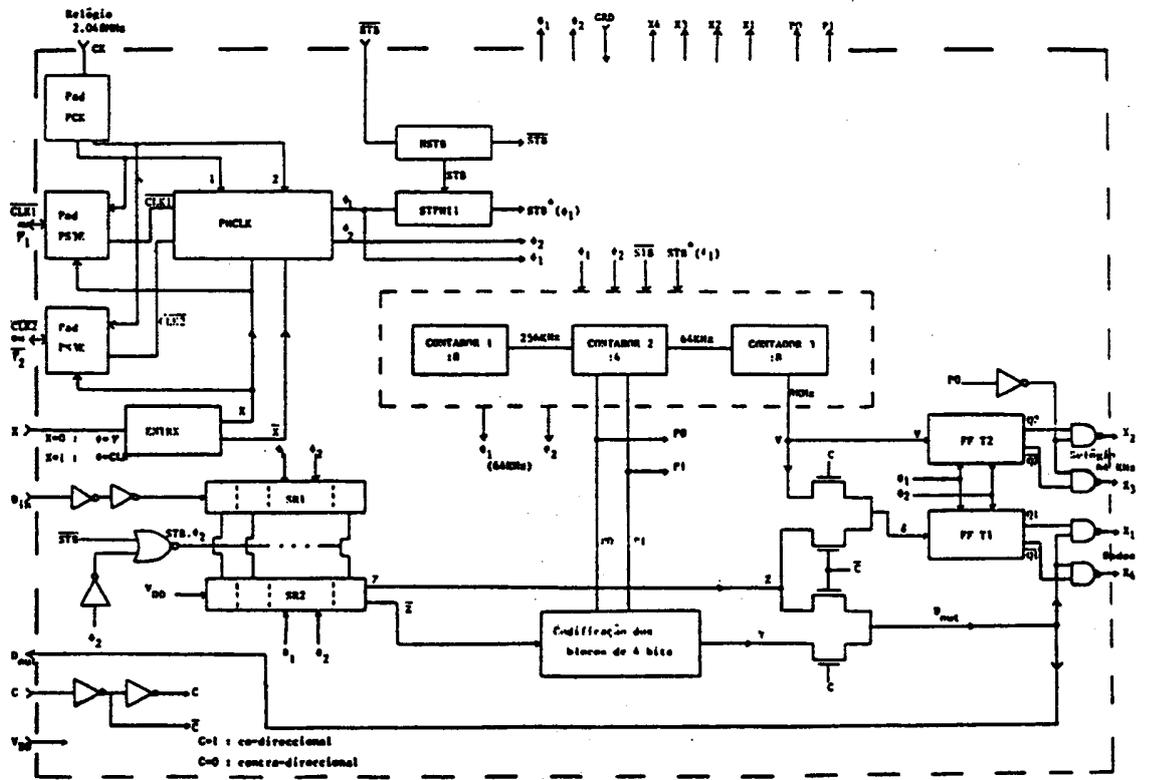


Fig.2. Diagrama de Blocos da parte de emissão

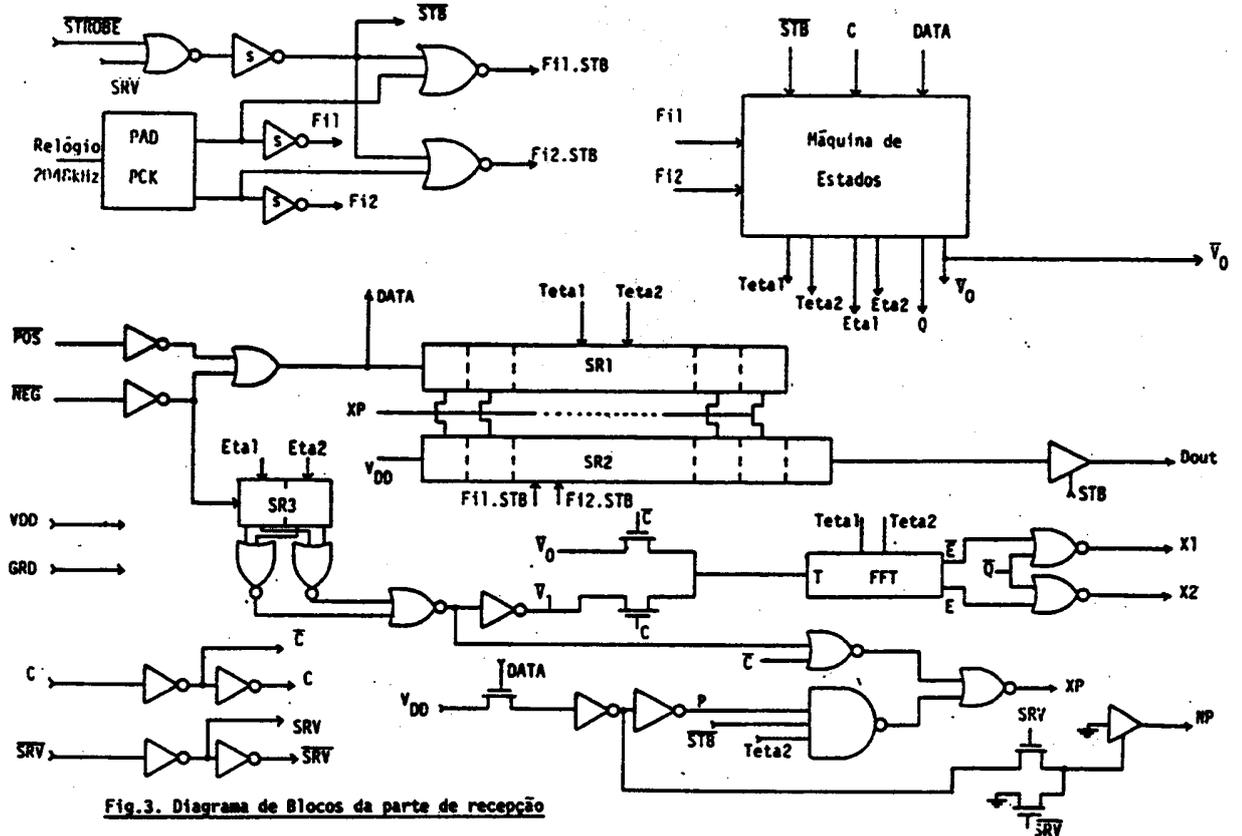


Fig.3. Diagrama de Blocos da parte de recepção

4. CIRCUITO DE RECEPÇÃO

Função realizada

O circuito recebe do equipamento terminal servido pelo sistema MIC, e de acordo com as normas do CCITT, um sinal ternário de dados. Este sinal pode conter ou não, consoante o tipo de junção (co- ou contra-direccional), informação sobreposta referente ao relógio de 64KHz que sincroniza esses mesmos dados. O referido sinal ternário é rectificado externamente em meia onda (em dois circuitos distintos) de modo a obter-se a separação dos impulsos positivos dos negativos. As entradas de dados do circuito integrado (POS e NEG) são os complementos daqueles dois sinais (fig.3).

O C.I. recebe ainda, do equipamento MIC, um sinal de relógio de 2.048MHz e um sinal de selecção de janela de tempo (STROBE). Duas ligações permanentes ('jumps') C e SRV, permitem, respectivamente, seleccionar o tipo de função e instruir o C.I. para se colocar fora de serviço.

O circuito gera, a partir da informação recebida, os seguintes sinais:

- Um sinal de dados (Dout) correspondente ao octeto recebido do equipamento terminal (64Kbit/s). Este sinal aparece agora codificado em forma binária e é transmitido a um ritmo de 2048Kbit/s. O octeto em causa é apresentado na saída durante a duração do sinal de selecção de janela, sendo a saída Dout mantida no estado de alta impedância durante o resto do período de trama.
- Um sinal de relógio de 64KHz (a ser obtido externamente, sob forma ternária, por composição das saídas X1 e X2) obtido por divisão de frequência do sinal de relógio de 2.048MHz. Este sinal é utilizado na ligação contra-direccional para sincronizar o equipamento terminal.
- Dois sinais P e NP (este último como saída de uma porta lógica de três estados) que assinalam a presença ou ausência de dados provenientes do equipamento terminal.

Modo de funcionamento

O funcionamento concebido para o circuito pode ser descrito genericamente do seguinte modo (ver diagrama de blocos da fig.3):

- i) Uma máquina de estados sintetizada com recurso a um Agregado Lógico Programável (PLA) gera os seguintes sinais de temporização:
 - dois relógios de duas fases, ETA e TETA, de frequência igual mas desfazados entre si.
 - relógio de 64KHz para o equipamento terminal, Q.
 - sinal auxiliar para assinalar o fim de octeto, VO (só para o caso de junção contra-direccional).
- ii) O sinal recebido do equipamento terminal é rectificado em onda completa (DATA) e introduzido num registo de deslocamento (SR1). Este registo é actuado por um relógio de 64KHz com fase de leitura (Teta1) apropriada ao tipo de código utilizado. Logo que o octeto esteja completo, o conteúdo de SR1 é transferido em paralelo para um segundo registo de 9 bits (SR2). O conteúdo de SR2 é depois transferido em série e ao ritmo de

2.048MHz para a saída (durante a presença do sinal de STROBE).

iii) O sinal de fim de octeto no caso co-direccional (violação da regra de alternância de polaridade ao oitavo bit do octeto recebido) é detectado por comparação contínua da polaridade de 2 bits sucessivos. Esta comparação é efectuada num terceiro registo de deslocamento (SR3), actuado pelo relógio ETA, que gera o sinal V1. O sinal equivalente no caso da junção contra-direccional (V0) é gerado directamente na PLA.

iv) O relógio de 64KHz para sincronização do equipamento terminal (caso contra-direccional) é obtido a partir do sinal de relógio Q por alternância de bits sucessivos excepto no período seguinte ao sinal de violação. Esta violação é obtida por não permissão de comutação do flip-flop T ao oitavo ciclo de Q.

Geração dos sinais de temporização

Neste caso (circuito de recepção), pretende-se implementar, também com base numa PLA, uma máquina de estados que perfaça as suas funções requeridas: a máquina deve equivaler, basicamente, a um monoestável sem possibilidade de redisparo, no caso co-direccional, e a um divisor de frequência por 32, no caso contra-direccional.

Ambas as funções são realizáveis a partir do diagrama de estados sequencial típico de um contador:

i) C=1 (junção co-direccional):

Neste caso a máquina evolui como um contador normal de 32 estados excepto nas 2 situações seguintes (fig.4):

- A máquina permanece no estado 0 enquanto DATA="0".
- Do estado 21, a máquina transita directamente para o estado 28. O retorno ao estado 0 só se verifica quando DATA se mantiver em "0" durante 4 períodos consecutivos do relógio.

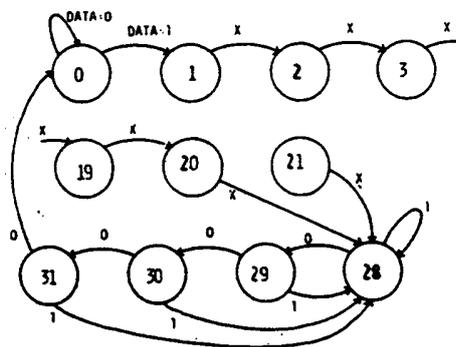


Fig.4. Diagrama de Estados (caso co-direccional)

Na implementação da máquina foram utilizados dois sinais auxiliares (go0 e go28), gerados com lógica aleatória a partir das saídas da PLA, para forçar os estados 0 e 28 respectivamente. A activação de um destes sinais corresponde às situações referidas em que o comportamento da máquina não segue o de um contador normal.

ii) C=0 (junção contra-direccional):

O funcionamento da máquina de estados é, neste caso, o de um contador normal de 32 estados. A necessidade de gerar o sinal de violação de 8KHz implica a inclusão de mais 3 variáveis de estado correspondentes a um novo divisor por 8.

Note-se que a inicialização do autómato só é necessária no caso contra-direccional e que a entrada DATA só participa no modo co-direccional e apenas afecta os sinais go0 e go28.

O funcionamento descrito atrás foi conseguido utilizando uma PLA com 15 entradas (uma entrada externa E1, as 8 variáveis de estado, as 4 variáveis auxiliares e os 2 sinais auxiliares go0 e go28), 22 produtos intermédios e 16 saídas (as 8 variáveis de estado, as 4 variáveis auxiliares e as 4 saídas S1, S2, S3 e S4). A entrada E1 corresponde ao sinal STROBE no caso contra-direccional e não tem qualquer efeito no caso co-direccional. Os sinais de temporização são gerados a partir das saídas da PLA do seguinte modo:

TETA1 = E14.Fi1 (se C=1) ou E6.Fi1 (se C=0)
TETA2 = E16.Fi2 (se C=1) ou E8.Fi2 (se C=0)
ETA1 = E6.Fi1 (para C=1, não usado se C=0)
ETA2 = E8.Fi2 (para C=1, não usado se C=0)
Q = A3
V0 = (A7.A6.A5)

Registos de deslocamento e flip-flop T

O registo de deslocamento duplo e o flip-flop T têm uma constituição interna igual à do circuito de emissão. O registo de deslocamento SR3 é constituído por duas células idênticas às do registo SR1.

5. CONCLUSÕES

O circuito integrado completo, que inclui ainda várias estruturas de teste para caracterização da tecnologia, ocupa uma área de 9mm² (tecnologia de 4.5 microns).

A descrição das máscaras em linguagem intermédia apropriada (LUCIE [3]) foi enviada para França nos inícios de 1983. Os primeiros protótipos, recebidos em Outubro do mesmo ano, revelaram-se completamente inoperacionais, excepto no que se refere às estruturas de teste, devido a um erro na tradução da descrição LUCIE para o formato de controlo dos geradores de máscaras. Aguarda-se presentemente, a chegada da segunda série de protótipos.

Note-se, antes de terminar, a redução conseguida no tempo de desenvolvimento em relação ao primeiro projecto. Esta redução deve-se não só à experiência de projecto entretanto adquirida, como também à melhoria qualitativa e quantitativa das ajudas computacionais disponíveis no INESC/CEAUTL [4-6].

6. AGRADECIMENTOS

Queremos terminar expressando o nosso reconhecimento ao Prof. Alves Marques pela colaboração prestada na realização deste projecto e ao Prof. François Anceau que, mais uma vez, nos deu a possibilidade de participação numa experiência multi-projecto realizada pela Universidade de Grenoble.

O trabalho relatado nesta comunicação foi parcialmente subsidiado através do contrato no.422.82.65 com a Junta Nacional de Investigação Científica e Tecnológica (JNICT).

7. REFERÊNCIAS

- [1] V. Lagarto, "Projecto de Equipamentos Desenvolvidos no CET no Domínio da Transmissão Digital", Jornadas Técnicas do Cinquentenário da Standard Eléctrica, Lisboa, Dez. 1982.
- [2] Mário J.A. Lança, Pedro M.B. Veiga, Carlos B.T. Almeida, Isabel M.C. Teixeira, Horácio C.C. Neto e M. Helena Sarmento, "Interface de Junção de 64Kbit/s para Sistema de Multiplexagem MIO. Projecto sob forma integrada", Endiel/83, Lisboa, Janeiro 1983.
- [3] A. Guyot, A.Jerry e J. Raymond, "LUCIE: Langage Universitaire de Conception de Circuits Intégrés pour l'Enseignement", Universidade de Grenoble.
- [4] P.L.B.Vitor, M.J.A.Lança e L.M.Vidigal, "Verificação das Regras de Projecto de Circuitos VLSI Baseada em Operações sobre polígonos", 1^o Simpósio Elect. Telec., Lisboa, 1984.
- [5] R.E.C.T.Rato e L.M.Vidigal, "Um Programa para Verificação de Topologia de Circuitos Integrados (VLSI)", 1^o Simpósio Elect. Telec., Lisboa, 1984.
- [6] Carlos Costa, "PLAPROG: Um Programa para Geração de PLAs", Relatório Interno, INESC/IST, Novembro 1983